

JP09181194 A

DUAL-GATE STRUCTURE AND ITS MANUFACTURE

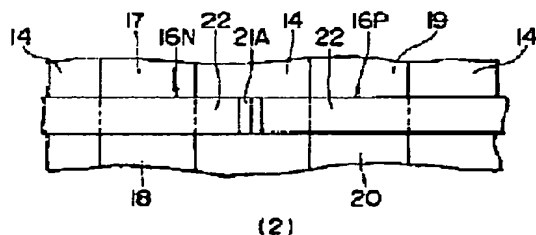
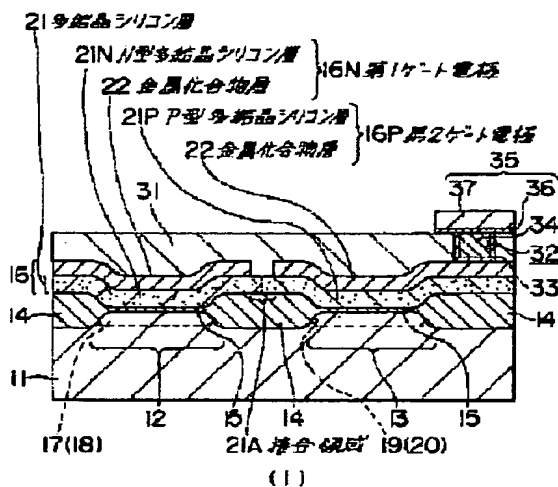
SONY CORP

Inventor(s): SUMI HIROBUMI

Application No. 07340172 JP07340172 JP, Filed 19951227, A1 Published 19970711

Abstract: PROBLEM TO BE SOLVED: To obtain a dual-gate structure in which the mutual diffusion of impurities between gate electrodes is suppressed excellently.

SOLUTION: In a structure, a first gate electrode 16N and a second gate electrode 16P are formed of one gate interconnection 16. In this case, the first gate electrode 16N is composed of a first-conductivity-type (i.e., N-type) polycrystal silicon layer 21N and of a metal compound layer 22, the second gate electrode 16P is composed of a second-conductivity-type (i.e., P-type) polycrystal layer 21P and of the metal compound layer 22, and the metal compound layer 22 is formed in a separated state on the connecting region 21A of the N-type and P-type polycrystal silicon layers 21N, 21P. In addition, a heavily doped region whose impurity concentration is higher than that of the N-type and P-type polycrystal silicon layers 21N, 21P is formed in the connecting region 21A.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-181194

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl.⁶

H 0 1 L 21/8238
27/092
21/76

識別記号

庁内整理番号

F I

H 0 1 L 27/08
21/76

3 2 1 D
M

技術表示箇所

審査請求 未請求 請求項の数6 O L (全 14 頁)

(21)出願番号

特願平7-340172

(22)出願日

平成7年(1995)12月27日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 角 ▲博▼文

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

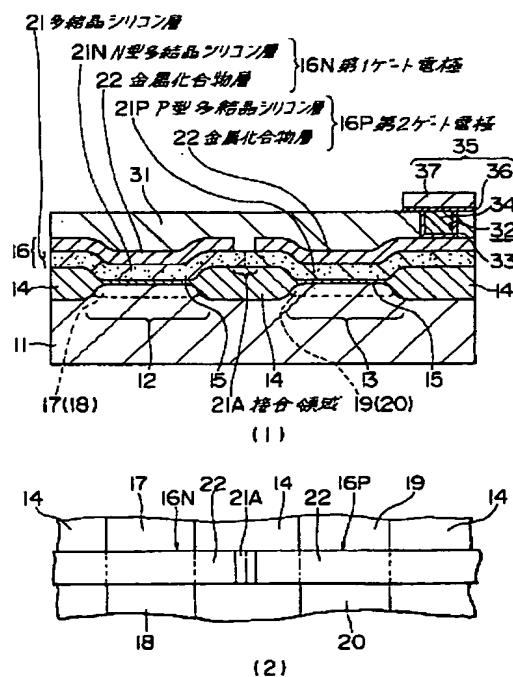
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 デュアルゲート構造およびその製造方法

(57)【要約】

【課題】 デュアルゲート構造では、ゲート電極の金属層または金属化合物層と通じて多結晶シリコン中の不純物の相互拡散を起こして、トランジスタ特性を劣化させている。

【解決手段】 第1、第2ゲート電極16N、16P とを一つのゲート配線16で形成したデュアルゲート構造であって、第1ゲート電極16N が第1導電型（以下、N型）多結晶シリコン層21N と金属化合物層22とからなり、第2ゲート電極16P が第2導電型（以下、P型）多結晶シリコン層21P と金属化合物層22とからなり、N型、P型多結晶シリコン層21N、21P との接続領域21A 上で金属化合物層22が分離された状態で形成されているものである。また接続領域21A に、N型、P型結晶シリコン層21N、21P よりも不純物濃度が高い高濃度不純物領域（図示省略）が設けられているものである。



本発明のデュアルゲート構造に係る第1実施形態の説明図

【特許請求の範囲】

【請求項 1】 第 1 ゲート電極と第 2 ゲート電極とを一つの配線で形成したデュアルゲート構造において、前記第 1 ゲート電極は、第 1 導電型の多結晶シリコン層と金属層、または第 1 導電型の多結晶シリコン層と金属層と金属化合物層とからなり、前記第 2 ゲート電極は、第 2 導電型の多結晶シリコン層と金属層、または第 2 導電型の多結晶シリコン層と金属層と金属化合物層とからなり、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層との接合領域上で、前記金属層、または前記金属層と金属化合物層とが分離された状態で形成されていることを特徴とするデュアルゲート構造。

【請求項 2】 請求項 1 記載のデュアルゲート構造において、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層とが接続される領域に、該第 1 導電型の多結晶シリコン層および該第 2 導電型の多結晶シリコン層よりも不純物濃度が高い高濃度不純物領域を設けたことを特徴とするデュアルゲート構造。

【請求項 3】 第 1 ゲート電極と第 2 ゲート電極とを一つの配線で形成したデュアルゲート構造の製造方法において、半導体基板上に多結晶シリコン層を形成した後、第 1 ゲート電極を形成する該多結晶シリコン層の領域に第 1 導電型の不純物をドーピングするとともに、第 2 ゲート電極を形成する該多結晶シリコン層の領域に第 2 導電型の不純物をドーピングする工程と、前記多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成する工程と、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層とが接続される領域上の、前記金属層、または前記金属層と金属化合物層とを除去する工程とを備えたことを特徴とするデュアルゲート構造の製造方法。

【請求項 4】 請求項 3 記載のデュアルゲート構造の製造方法において、前記第 1 導電型の多結晶シリコン層と前記第 2 導電型の多結晶シリコン層とが接続される領域に、該第 1 導電型の多結晶シリコン層および該第 2 導電型の多結晶シリコン層よりも不純物濃度が高い状態に不純物を導入して高濃度不純物領域を形成する工程を備えたことを特徴とするデュアルゲート構造。

【請求項 5】 請求項 3 記載のデュアルゲート構造において、前記多結晶シリコン層は、下地多結晶シリコン層を形成した後、該下地多結晶シリコン層上に非晶質シリコン層を形成する工程と、レーザアニーリングもしくはエキシマレーザアニーリングによって、前記非晶質シリコン層を下地多結晶シリコ

ン層のシリコン結晶よりも大きな粒径のシリコン結晶で構成される多結晶シリコン層に改質する工程とによって形成されることを特徴とするデュアルゲート構造。

【請求項 6】 請求項 4 記載のデュアルゲート構造において、前記多結晶シリコン層は、下地多結晶シリコン層を形成した後、該下地多結晶シリコン層上に非晶質シリコン層を形成する工程と、レーザアニーリングもしくはエキシマレーザアニーリングによって、前記非晶質シリコン層を下地多結晶シリコン層のシリコン結晶よりも大きな粒径のシリコン結晶で構成される多結晶シリコン層に改質する工程とによって形成されることを特徴とするデュアルゲート構造。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、デュアルゲート構造およびその製造方法に関するものである。

【0002】

【従来の技術】 素子の微細化にともない、トランジスタの拡散層はますます浅い接合になっている。すなわち、いわゆるシャロー化が進んでいる。一方、ゲート線幅が縮小化しているので、拡散層の深さを浅くしないとショートチャネル効果が増大し、ソース・ドレイン耐圧が劣化する。例えばゲート線幅が $0.25\mu\text{m}$ のトランジスタに対しては拡散層の深さを $0.08\mu\text{m}$ 程度に浅くする必要がある。

【0003】 また、近年、トランジスタの電流駆動能力を高く維持させる必要性から、NMOS (MOSはMetal-Oxide-Semiconductor の略) にはN型の不純物を含んだゲート、PMOSにはP型の不純物を含んだゲートを用いるデュアルゲート構造を有するCMOSの開発が盛んに行われている。本ゲート構造を用いることで、従来のベリッドチャネル (ポケットイオン注入を行うことで、オン、オフ状態を確保でき、チャネル部をソース・ドレイン領域と同一型でできる) 方式では、しきい値電圧 V_{th} を比較的に高く確保する必要があるため、結果としてソース・ドレイン電流 I_{ds} が低い。そこで、しきい値電圧 V_{th} を比較的低く保つことができる表面チャネル方式は、電流駆動能力の比較的高いデバイスを製作できる。

【0004】 ここで、従来のMOSLSIプロセスの一例を、図7の製造工程図によって説明する。

【0005】 図7の(1)に示すように、通常のMOSトランジスタプロセスによって、半導体基板111にNチャネルトランジスタとPチャネルトランジスタとの各形成領域を分離するための素子分離領域112を形成した後、半導体基板111にゲート絶縁膜113を介してゲート配線114を形成する。このゲート配線114は、Nチャネルトランジスタの形成領域においてN型ゲート配線114Nに形成し、Pチャネルトランジスタの

形成領域においてP型ゲート配線114Pに形成する。そしてゲート配線114の両側にサイドウォール絶縁膜(図示省略)を形成し、さらにN型、P型ゲート配線114N、114Pの各両側の半導体基板111にソース・ドレイン領域116(117)、ソース・ドレイン領域118(119)を形成することで、Nチャネルトランジスタ101NとPチャネルトランジスタ101Pを形成する。なお、図面では、ソース・ドレイン領域(117、119)は紙面の手前側になるため、図示は省略した。

【0006】次いで図7の(2)に示すように、上記半導体基板111に対してフッ酸(HF)処理を施し、ソース・ドレイン領域116(117)上およびソース・ドレイン領域118(119)上の自然酸化膜(図示省略)を完全に除去する。その後、例えばスパッタリングによって、全面にチタン(Ti)膜を50nmの厚さに形成する。続いて、熱処理(第1熱処理は窒素雰囲気中で600℃の加熱、および第2熱処理は窒素雰囲気中で800℃の加熱)を施して、ゲート配線114のシリコン(Si)とチタン膜のチタン(Ti)とを反応させる低抵抗なチタンシリサイド(TiSi₂)層121を形成するとともに、ソース・ドレイン領域116(117)、ソース・ドレイン領域118(119)のシリコン(Si)とチタン膜のチタン(Ti)とを反応させてなる低抵抗なチタンシリサイド(TiSi₂)層(図示省略)を選択的に形成する。

【0007】続いて上記半導体基板111を、例えばアンモニア過水に浸漬することで、未反応なチタン膜(図示省略)を選択的にエッチングして除去する。

【0008】次いで図7の(3)に示すように、例えば化学的気相成長(以下、CVDという)法によって、ゲート配線114側の全面を覆う状態に酸化シリコンからなる層間絶縁膜131を形成した後、リソグラフィ技術とエッチング技術とによって、例えばゲート配線114P上の層間絶縁膜131に、チタンシリサイド層121に接続する接続孔132を形成する。さらにブランケットタングステンプラグの形成方法によって、接続孔132の内部に密着層133を介してタングステンプラグ134を形成する。さらにタングステンプラグ134に接続する状態で層間絶縁膜131上に、例えば、密着層135とアルミニウムシリコン膜からなる配線層136とを形成する。そしてリソグラフィ技術とエッチング技術とによって、上記密着層135と配線層136とをパターンニングして配線137を形成する。

【0009】

【発明が解決しようとする課題】しかしながら、表面チャネル型のトランジスタでデュアルゲート構造のCMOSを形成しようとした場合には、以下のような課題が存在する。

【0010】すなわち、デュアルゲート構造では、それ

ぞれNチャネルトランジスタ上とPチャネルトランジスタ上にゲート線が形成されるため、それぞれのゲートの導電型が異なる。結果として、一つのゲート線上である部分まではヒ素(As)をドーピングしたN型のゲートになり、ある部分まではホウ素(B)をドーピングしたP型のゲートになっている。

【0011】そのため、①ゲート領域を形成した後の熱処理によって、ゲート領域にドーピングされているヒ素(As)の拡散が発生し、P型ゲートにまでそのヒ素(As)が拡散するという課題を有する。②P型ゲートにはホウ素(B)が多結晶シリコン中にドーピングされているため、そのホウ素が薄いゲート酸化膜を突き抜けるという課題を有している。③上記ホウ素等の不純物が多結晶シリコンの結晶粒界に析出し、多結晶シリコンを空乏化状態にするという課題を有している。以上のような課題①～③を克服することが、デュアルゲートの実用化のために必要になっている。

【0012】上記課題①の解決策として、ゲートに二層の多結晶シリコン層を用いることで相互拡散を抑制することが、特開平07-037992号公報およびIEDM technical digests (1994) H. Koike, Y. Unno, K. Ishimura, F. Matsuoka and M. Kakumu p855-858に開示されている。また上記課題②の解決策として、ゲートの多結晶シリコンの結晶粒径を大きくすることでホウ素(B)の突き抜けを防止することが、IEDM technical digests (1993) Munetaka Koda, Yoshikatsu Shida, Junichi Kawaguchi, and Yoshio Kaneko p471-474 に開示されている。また、窒素(N)をLDD(Lightly Doped Drain)部にイオン注入することでホウ素の突き抜けを防止することが、IEDM technical digests (1994) S. Shimizu, T. Kuroi, M. Kobayashi, T. Yamaguchi, T. Fujino, H. Maeda, T. Tsutsumi, Y. Hirose, S. Kusunoki, M. Inuishi and N. Tsubouchi p67-70に開示されている。

【0013】本発明は、上記課題を別の手段によって解決するためになされたもので、ゲート電極間における不純物の相互拡散の抑制に優れたデュアルゲート構造およびその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたデュアルゲート構造およびその製造方法である。

【0015】デュアルゲート構造は、第1ゲート電極と第2ゲート電極とを一つの配線で形成したものであって、第1ゲート電極は、第1導電型の多結晶シリコン層と金属層、または第1導電型の多結晶シリコン層と金属層と金属化合物層とからなり、第2ゲート電極は、第2導電型の多結晶シリコン層と金属層、または第2導電型の多結晶シリコン層と金属層と金属化合物層とからなり、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続する領域上で、金属層、または金

属層と金属化合物層とが分離された状態で形成されているものである。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域には、第1、第2導電型の各多結晶シリコン層よりも不純物濃度が高い状態の高濃度不純物領域を設けたものである。

【0016】上記デュアルゲート構造では、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続する領域上で、金属層、または金属層と金属化合物層とが分離されていることから、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との間で、不純物の拡散経路となる金属層および金属化合物層を通じて不純物の拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域に、第1、第2導電型の各多結晶シリコン層よりも不純物濃度が高い状態の高濃度不純物領域を設けたことから、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との間でも不純物の相互拡散は起き難くなる。

【0017】デュアルゲート構造の製造方法は、まず、半導体基板上に多結晶シリコン層を形成した後、該多結晶シリコン層における第1ゲート電極を形成する領域に第1導電型の不純物をドーピングするとともに第2ゲート電極を形成する領域に第2導電型の不純物をドーピングする。そして多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成した後、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域上の、金属層、または金属層と金属化合物層とを除去する。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域に、第1、第2導電型の各多結晶シリコン層よりも不純物濃度が高い状態に不純物を導入して高濃度不純物領域を形成する。上記デュアルゲート構造の製造方法において、多結晶シリコン層は、下地多結晶シリコン層を形成しさらに非晶質シリコン層を形成する工程と、レーザアニーリングもしくはエキシマレーザアニーリングによって非晶質シリコン層を下地多結晶シリコン層のシリコン結晶よりも大きな粒径のシリコン結晶で構成される多結晶シリコン層に改質する工程とによって形成する。

【0018】上記デュアルゲート構造の製造方法では、第1、第2導電型の多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成した後、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域上の、金属層、または金属層と金属化合物層とを除去することから、金属層、または金属層と金属化合物層とを通じて多結晶シリコン層にドーピングされている不純物の相互拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域に、各多結晶シリコン層よりも不純物濃度が高い状態に不純物をドーピングする製造方法

では、第1、第2導電型の多結晶シリコン層間での相互拡散は起きない。

【0019】

【発明の実施の形態】本発明のデュアルゲート構造に係わる第1実施形態の一例を、図1によって説明する。図1は、一例としてデュアルゲート型のCMOSトランジスタを示すもので、(1)に概略構成断面図を示し、(2)に平面レイアウト図を示す。

【0020】図1に示すように、半導体基板(例えばシリコン基板)11には、NMOSトランジスタの形成領域12とPMOSトランジスタの形成領域13とを分離するための素子分離領域14が形成されている。上記半導体基板11上には、ゲート絶縁膜15を介して、ゲート電極を構成するもので多結晶シリコン層21と金属化合物層22とからなるゲート配線16が形成されている。

【0021】第1のMOSトランジスタの形成領域12上における上記多結晶シリコン層21には第1導電型(以下、N型という)の不純物として、例えばヒ素(As)がドーピングされている。上記ヒ素がドーピングされた部分はN型多結晶シリコン層21Nになり、上記金属化合物層22とともに第1ゲート電極16Nを構成する。一方、第2のMOSトランジスタの形成領域13上の上記多結晶シリコン層21には第2導電型(以下、P型という)の不純物として、例えばホウ素(B)がドーピングされている。上記ホウ素がドーピングされている部分はP型多結晶シリコン層21Pになり、上記金属化合物層22とともに第2ゲート電極16Pを構成する。上記各N型、P型多結晶シリコン層21N、21Pは、大粒径のシリコン結晶(例えばシリコン結晶の粒径が0.3 μ m以上)で形成されている。

【0022】その上、上記金属化合物層22は、例えばタングステンシリサイド(WSi_2)で形成され、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21A上で金属化合物層22は分離された状態になっている。上記金属化合物層22には、タングステンシリサイドの他に、例えば、窒化チタン(TiN)、酸窒化チタン($TiON$)、チタンシリサイド($TiSi_2$)、窒化タングステン(WN)および酸窒化タングステン(WON)のうちの少なくとも一種類を用いることが可能である。また金属化合物層22のかわりに金属層を単層で用いることも可能である。単層で用いる金属層には、タングステン(W)、モリブデン(Mo)、コバルト(Co)等を用いることができる。または金属層上に金属化合物層を形成した構造、金属層上に金属化合物層を形成しさらに金属層を形成した構造とすることも可能である。このような積層構造における金属化合物層および金属層には、上記説明したような材料を用いることができる。

【0023】上記NMOSトランジスタの形成領域12

における上記ゲート配線16の両側の半導体基板11にはNMOSトランジスタのソース・ドレイン領域17

(18)が形成されている。一方、PMOSトランジスタの形成領域13における上記ゲート配線16の両側の半導体基板11にはPMOSトランジスタのソース・ドレイン領域19(20)が形成されている。なお、

(1)の図面では、ソース・ドレイン領域(18, 20)は、図面手前側に形成されることになるので、図示は省略した。

【0024】そして上記NMOSトランジスタ1およびPMOSトランジスタ2を覆う状態に層間絶縁膜31が、例えば酸化シリコンで形成されている。上記層間絶縁膜31には、例えばPMOSトランジスタ2のゲート配線16上に接続孔32が形成され、その接続孔32の内壁に密着層(図示省略)とバリアメタル層33とが形成され、さらにその接続孔32を埋め込む状態に金属プラグ34が形成されている。上記密着層は例えばチタン(Ti)からなり、上記バリアメタル層33は例えば窒化チタン(TiN)からなる。また上記金属プラグ34は例えばタングステン(W)からなる。

【0025】さらに上記層間絶縁膜31上には、上記金属プラグ34に接続する配線35が形成されている。この配線35は、例えば、チタン(Ti)からなる密着層36とアルミニウム(Al)系金属からなる主配線層37とからなる。図示はしていないが、上記配線35の接続構造と同様に、NMOSトランジスタ1のゲート配線16にも層間絶縁膜31を通して形成される金属プラグを介して層間絶縁膜31上に配線が接続されている。

【0026】上記デュアルゲート構造では、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとが接続する領域上で、金属化合物層22が分離されていることから、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの間で、不純物の拡散経路となる金属化合物層22を通じて、不純物の拡散は起きない。またP型多結晶シリコン層21Pが大粒径のシリコン結晶からなるため、ゲート絶縁膜をホウ素が突き抜けるという課題が解決される。

【0027】次に本発明のデュアルゲート構造の製造方法に係わる第1実施形態の一例を、図2および図3によって説明する。各図では、概略構成断面図で示し、さらに必要に応じて平面レイアウト図によって示す。また、上記図1によって説明したのと同様の構成部品には同一の符号を付す。

【0028】図2の(1)に示すように、通常の素子分離領域の形成方法として、例えば局所酸化法〔例えば、LOCOS(Local Oxidation of Silicon)法〕によって、半導体基板(例えばシリコン基板)11に第1のMOSトランジスタの形成領域12と第2のMOSトランジスタの形成領域13とを分離する素子分離領域14を形成する。さらに例えば熱酸化法によって、半導体基板

11上にゲート絶縁膜(例えばゲート酸化膜)15を形成する。

【0029】その後、例えば化学的気相成長(以下、CVDという、CVDはChemical Vapour Depositionの略)法によって、上記処理を行った半導体基板11上に下地多結晶シリコン層23を形成する。上記下地多結晶シリコン層23の成膜条件は、一例として、

成膜ガス：モノシラン(SiH_4)；100sccm

〔以下、sccmは標準状態における体積流量(cm^3 /分)を表す〕、ヘリウム(He)；400sccm、

窒素(N_2)；200sccm、

成膜雰囲気圧力；70Pa、

基板温度；610℃、

に設定した。そして下地多結晶シリコン層23が例えば50nmの厚さになるように成膜を行った。

【0030】次いでCVD法によって、上記下地多結晶シリコン層23上に非晶質シリコン層(24)を形成する。非晶質シリコン層(24)の成膜条件は、一例として、

成膜ガス：モノシラン(SiH_4)；100sccm

と、ヘリウム(He)；400sccmと、窒素

(N_2)；200sccm、

成膜雰囲気圧力；70Pa、

基板温度；510℃、

に設定した。そして非晶質シリコン層(24)が例えば100nmの膜厚になるように成膜を行った。

【0031】次いでデュアルゲートを形成するための不純物のドーピングを、例えばイオン注入によって行う。先ず通常のリソグラフィ技術(例えば、レジスト塗布によるレジスト膜の形成、露光、現像、ベーク等)の処理をいい、以下、この説明は省略する)によって、第1導電型(以下、N型という)ゲートとなる領域上に開口部を有するレジストパターン(図示省略)を形成する。続いてそのレジストパターンをマスクに用いたイオン注入法によって、N型の不純物として、例えばヒ素イオン(As^+)をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー；30keV、

ドーズ量； 5×10^{15} 個/ cm^2 、

に設定した。そして上記非晶質シリコン層(24)と下地多結晶シリコン層23とにヒ素イオンのイオン注入を行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0032】次いで通常のリソグラフィ技術によって、第2導電型(以下、P型という)ゲートとなる領域上に開口部を有するレジストパターン(図示省略)を形成する。続いてそのレジストパターンをマスクに用いたイオン注入法によって、P型の不純物として、例えばホウ素イオン(B^+)をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：10keV、
 ドーズ量： 3×10^{15} 個/cm²、
 に設定した。そして上記非晶質シリコン層（24）と下地多結晶シリコン層23とにホウ素イオンのイオン注入を行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、上記N型不純物のイオン注入工程とP型不純物のイオン注入工程とは、どちらを先に行っても差し支えない。

【0033】その後、エキシマレーザ光を非晶質シリコン層（24）に照射（エキシマレーザアニーリング）して、この非晶質シリコン層（24）の結晶化を図る。上記エキシマレーザ光の照射条件は、一例として、エキシマレーザ光のエネルギー密度： 250mJ/cm^2 、

照射雰囲気圧力： $1 \times 10^{-5}\text{Pa}$ 、
 に設定した。そして結晶化処理を行った。

【0034】その結果、上記非晶質シリコン層（24）は、 $0.5\mu\text{m}$ 程度の粒径を有する大粒径多結晶シリコン層25になり、上記下地多結晶シリコン層23とともに多結晶シリコン層21を構成する。このように、エキシマレーザ光の照射では、シリコン結晶を、少なくとも粒径が $0.3\mu\text{m}$ 以上の大きさの結晶に成長させることが望ましい。そして、第1のMOSトランジスタの形成領域12上の上記下地多結晶シリコン層23と大粒径多結晶シリコン層25とによって、N型多結晶シリコン層21Nが形成され、第2のMOSトランジスタの形成領域13上の上記下地多結晶シリコン層21と大粒径多結晶シリコン層25とによって、P型多結晶シリコン層21Pが形成される。

【0035】その後CVD法によって、上記非晶質シリコンを結晶化した大粒径多結晶シリコン層25上に、金属化合物層22を例えばタングステンシリサイド（ WSi_2 ）で形成する。上記CVD条件は、一例として、成膜ガス：ジクロロシラン（ SiH_2Cl_2 ）； 300sccm 、六フッ化タングステン（ WF_6 ）； 2.8sccm 、アルゴン（Ar）； 50sccm 、成膜雰囲気圧力： 20Pa 、基板温度： 520°C 、に設定した。そしてタングステンシリサイドからなる金属化合物層22が 70nm の厚さになるように成膜を行った。

【0036】次いで、図2の（2-1）の概略構成断面図および（2-2）の平面レイアウト図に示すように、通常のリソグラフィ技術によって、ゲートを形成するためのエッチングマスクとなるレジストパターン（図示省略）を形成する。そしてこのレジストパターンをマスクに用いたドライエッチングによって、上記金属化合物層22とN型、P型多結晶シリコン層21N、21Pとをパターンニングして、ゲート配線16を形成する。このうち、第1のMOSトランジスタの形成領域12上のゲ

ート配線16、すなわちN型多結晶シリコン層21Nと金属化合物層22とが第1ゲート電極16Nになり、第2のMOSトランジスタの形成領域13上のゲート配線16、すなわちP型多結晶シリコン層21Pと金属化合物層22とが第2ゲート電極16Pになる。上記ドライエッチングには、例えば、マイクロ波エッチング装置を用いた。そのエッチング条件は、一例として、エッチングガス：サルファーヘキサフルオライド（ SF_6 ）； 20sccm 、塩素（ Cl_2 ）； 25sccm 、エッチング雰囲気圧力： 1.3Pa 、マイクロ波パワー： 950W 、RFパワー： 50W 、に設定した。そしてエッチングを行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0037】次いで、LDD（Lightly Doped Drain）を形成するためのイオン注入を行う。先ず通常のリソグラフィ技術によって、N型のLDDを形成する領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、N型の不純物として、例えば砒素イオン（ As^+ ）をイオン注入する。このときのイオン注入条件は、一例として、打ち込みエネルギー： 25keV 、

ドーズ量： 1×10^{13} 個/cm²、
 に設定した。そしてN型のLDD（図示省略）を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0038】次いで通常のリソグラフィ技術によって、P型のLDDを形成する領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、P型の不純物として、例えば二フッ化ホウ素イオン（ BF_2^+ ）をイオン注入する。このときのイオン注入条件は、一例として、打ち込みエネルギー： 20keV 、

ドーズ量： 2×10^{12} 個/cm²、
 に設定した。そしてP型のLDD（図示省略）を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、N型のLDDの形成工程とP型のLDDの形成工程とは、どちらを先に行っても差し支えない。

【0039】次にCVD法によって、上記ゲート配線16を覆う状態に酸化シリコン膜を形成する。上記酸化シリコン膜の成膜条件は、一例として、成膜ガス：テトラエトキシシラン（TEOS）； 800sccm と、酸素（ O_2 ）； 600sccm との混合ガス、成膜雰囲気圧力： 1.13kPa 、基板温度： 400°C 、

RFパワー：700W、
に設定した。そして酸化シリコン膜を200nmの厚さになるように成膜した。

【0040】その後、上記酸化シリコン膜をエッチバックして、ゲート配線16の側壁部にサイドウォール絶縁膜26を形成する。上記エッチバック条件は、一例として、

エッチバックガス：オクタフルオロシクロブタン (C_4F_8) ; 50 s c c m、

エッチング雰囲気圧力：2 Pa、

RFパワー：1.2 kW、

に設定した。

【0041】次いでソース・ドレイン領域を形成するためのイオン注入を行う。先ず通常のリソグラフィ技術によって、第1のMOSトランジスタの形成領域12に形成されるソース・ドレイン領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、N型の不純物として、例えばヒ素イオン (As^+) をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：30 keV、

ドーズ量： 5×10^{15} 個/cm²、

に設定した。そしてソース・ドレイン領域17、18を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0042】次いで通常のリソグラフィ技術によって、第2のMOSトランジスタの形成領域13に形成されるソース・ドレイン領域上に開口部を有するレジストパターン（図示省略）を形成する。その後そのレジストパターンをマスクに用いたイオン注入法によって、P型の不純物として、例えば二フッ化ホウ素イオン (BF_2^+) をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：25 keV、

ドーズ量： 3×10^{15} 個/cm²、

に設定した。そしてソース・ドレイン領域19、20を形成した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、上記N型不純物のイオン注入工程とP型不純物のイオン注入工程とは、どちらを先に行っても差し支えない。

【0043】次いで、既知のリソグラフィ技術によりレジストパターン（図示省略）を形成し、それをマスクに用いてエッチングを行うことによって、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21A上の、上記金属化合物層22（2点鎖線で示す部分）を除去する。ここでは、上記接合領域21Aは素子分離領域14上に位置している。上記エッチング条件は、一例として、

エッチングガス：塩素 (Cl_2) ; 30 s c c m、酸素

(O_2) ; 5 s c c m、

マイクロ波電流：250 mA、

バイアス：100 V、

エッチング雰囲気圧力：0.4 Pa、

に設定した。なお、このエッチング工程は、ゲート配線16を形成するためのエッチングの前に行ってもよい。そして接合領域21Aが素子分離領域14上に位置しているため、一部分の金属化合物層22（2点鎖線で示す部分）を除去してもゲート配線16を形成した後に行われるイオン注入工程には影響を及ぼさない。上記のようにして、デュアルゲート構造の表面チャネル型のNMO Sトランジスタ1とPMOSトランジスタ2とが形成される。

【0044】次に図3に示すように、CVD法によって、上記ゲート配線16を覆う状態に酸化シリコンからなる層間絶縁膜31を形成する。上記層間絶縁膜31の成膜条件は、一例として、

成膜ガス：テトラエトキシシラン (TEOS) ; 50 s c c m、

成膜雰囲気圧力：40 Pa、

基板温度：720℃

に設定した。そして層間絶縁膜31が、例えば600 nmの厚さになるように成膜した。

【0045】その後、急速加熱アニール [RTA (Rapid Thermal Annealing)] 装置を用いて、活性化熱処理を施す。上記熱処理は、一例として、

熱処理温度：1000℃、

熱処理雰囲気：窒素 (N_2)、

熱処理時間：10秒、

に設定した。そしてRTAを行った。

【0046】続いて通常のリソグラフィ技術によって、コンタクトホールを形成する領域上に孔を有するレジストパターン形成する。その後そのレジストパターンをエッチングマスクに用いてエッチングを行うことによって、例えば第2ゲート電極16P上の層間絶縁膜31に接続孔32を形成する。このときのドライエッチング条件は、一例として、

エッチングガス：オクタフルオロシクロブタン (C_4F_8) ; 50 s c c m、

RFパワー：1.2 kW

エッチング雰囲気圧力：2 Pa、

に設定した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0047】そして配線材料を形成する。まず、スパッタリングによって、密着層（図示省略）となるチタン (Ti) 膜とバリアメタル層33となる窒化チタン (TiN) 膜とを成膜した。上記チタン膜のスパッタリング条件は、一例として、

スパッタリングガス：アルゴン (Ar) ; 100 s c c m、

スパッタパワー：8 kW、
基板温度：150℃、
成膜雰囲気圧力：0.47 Pa、
に設定した。そして密着層を10 nmの厚さに成膜した。

【0048】続いてスパッタリングによってバリアメタル層33を形成する。このスパッタリング条件は、一例として、
スパッタリングガス：アルゴン (Ar)；40 sccm
と窒素 (N₂)；20 sccm、
成膜雰囲気圧力：0.47 Pa、
に設定した。そして窒化チタンからなるバリアメタル層33を70 nmの厚さに成膜した。

【0049】次いでCVD法によって、タングステン (W) 膜を形成する。このタングステン膜の形成条件は、一例として、
反応ガス：アルゴン (Ar)；2200 sccm、窒素 (N₂)；300 sccm、水素 (H₂)；500 sccm、六フッ化タングステン (WF₆)；75 sccm、
成膜雰囲気温度：450℃、
成膜雰囲気圧力：10.64 kPa、
に設定した。そして上記接続孔32の内部を埋め込む状態にタングステン膜を400 nmの厚さに成膜した。

【0050】続いて、上記タングステン膜をエッチバックする。このエッチバック条件は、一例として、
エッチングガス：六フッ化イオウ (SF₆)；50 sccm、
RFパワー：150 W、
エッチング雰囲気圧力：1.33 Pa、
に設定した。そして、接続孔32の内部にタングステン膜を残すことでプラグ34を形成した。

【0051】その後、例えばスパッタリングによって、密着層36となるチタン膜と主配線層37となるアルミニウム (Al) 膜とからなる配線層35を形成する。このスパッタリング条件は、一例として、
スパッタリングガス：アルゴン (Ar)；100 sccm、
スパッタパワー：4 kW、
基板温度：150℃、
成膜雰囲気圧力：0.47 Pa、
に設定した。そしてチタンからなる密着層36を30 nmの厚さに成膜した。

【0052】さらに例えばスパッタリングによって、主配線層37を成膜する。このスパッタリング条件は、一例として、
スパッタリングガス：アルゴン (Ar)；50 sccm、
スパッタパワー：22.5 kW、
基板温度：150℃、

成膜雰囲気圧力：0.47 Pa、
に設定した。そしてアルミニウムからなる主配線層37を0.5 μmの厚さに成膜した。

【0053】その後、リソグラフィ技術によりレジストパターン（図示省略）を形成し、それをマスクに用いてエッチングを行うことによって、プラグ35に接続するもので、主配線層37／密着層36からなる配線層35を形成する。このエッチング条件は、一例として、
エッチングガス：三塩化ホウ素 (BCl₃)；60 sccmと塩素 (Cl₂)；90 sccm、
マイクロ波パワー：1.0 kW、
RFパワー：50 W、
エッチング雰囲気圧力：0.016 Pa、
に設定した。

【0054】上記デュアルゲート構造の製造方法において、上記金属化合物層22には、上記タングステンシリサイド (WSi₂) の他に、例えば、窒化チタン (TiN)、酸窒化チタン (TiON)、チタンシリサイド (TiSi₂)、窒化タングステン (WN)、タングステンシリサイド (WSi₂)、酸窒化タングステン (WON) を用いることが可能である。また金属化合物層22のかわりに金属層を単層で用いることも可能である。単層で用いる金属層には、タングステン (W)、モリブデン (Mo)、コバルト (Co) を用いることが可能である。または金属層上に金属化合物層を形成し、さらに金属層を形成した構造とすることも可能である。この構造における金属化合物層および金属層には、上記説明したような材料を用いることが可能である。

【0055】上記デュアルゲート構造の製造方法では、N型、P型多結晶シリコン層21N、21P上に、金属化合物層22を形成した後、N型、P型多結晶シリコン層21N、21Pが接続される領域21A上の、金属化合物層22を除去することから、金属化合物層22を通じて、N型、P型多結晶シリコン層21N、21Pにドーピングされている不純物の相互拡散は起きない。さらにエキシマレーザアニーリングによって、上記非晶質シリコン層24を結晶化して大粒径多結晶シリコン層25に改質することから、加熱時間は数ピコ秒程度と短時間である。そのため、N型、P型多結晶シリコン層21N、21P間での不純物の相互拡散はほとんど起きない。もしくはCWレーザを用いて数秒間のレーザ熱処理を行ってもよい。したがって、特にP型多結晶シリコン層21Pのシリコン結晶が大粒径化されるため、ゲート絶縁膜をホウ素が突き抜けるという課題が解決され、またP型多結晶シリコン層21P中が空乏化されることが抑制されるので、トランジスタ特性の向上が図れる。

【0056】また、上記製造方法は、従来の製造技術の延長で実施できる。そのため、製造コストが抑制できる。さらに製造方法が単純なプロセスで構成されているので、生産上の歩留りの低下がない。

【0057】また図4の(1)に示すように、上記説明した金属化合物層(22)の代わりに、例えばスパッタリングによって、窒化チタン(TiN)からなる金属化合物層41とタングステン(W)からなる金属層42とで形成することも可能である。ここでは、その形成条件のみを説明する。まず、窒化チタンからなる金属化合物層41の成膜条件は、一例として、

成膜ガス：スパッタリングパワー：5kW、
スパッタリング雰囲気：アルゴン(Ar)；40sccm、窒素(N₂)；20sccm、
スパッタリング雰囲気の圧力：0.47Pa、
に設定した。そして金属化合物層41を例えば20nmの膜厚になるように成膜した。

【0058】次いで、タングステンからなる金属層42をスパッタリングによって成膜する。その成膜条件は、一例として、

成膜ガス：スパッタリングパワー：8kW、
成膜温度：150℃、
スパッタリング雰囲気：アルゴン(Ar)；100sccm、
スパッタリング雰囲気の圧力：0.47Pa、
に設定した。そして金属層42を70nmの膜厚になるように成膜した。

【0059】その後は、通常のリソグラフィ技術によって、ゲート形成領域上にレジストパターン(図示省略)を形成し、そのレジストパターンをエッチングマスクに用いたドライエッチングによって、上記金属化合物層41、金属層42、多結晶シリコン層21をパターンニングして、第1ゲート電極16Nと第2ゲート電極16Pとからなるゲート配線16を形成する。上記ドライエッチングには、例えば、マイクロ波エッチング装置を用いた。そのエッチング条件は、一例として、

エッチングガス：サルファーヘキサフルオライド(SF₆)；70sccm、アルゴン(Ar)；70sccm、
エッチング雰囲気の圧力：0.7Pa、
マイクロ波電流：250mA、
バイアス：100V、
基板温度：0℃、

に設定した。そしてエッチングを行った。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0060】次いで図4の(2)に示すように、既知のリソグラフィ技術とエッチング技術とによって、N型の多結晶シリコン層21NとP型の多結晶シリコン層21Pとの接合領域21A上の、2点鎖線で示す部分の金属層41と、2点鎖線で示す部分の金属化合物層42とを除去する。上記エッチング条件は、一例として、
エッチングガス：サルファーヘキサフルオライド(SF₆)；70sccm、アルゴン(Ar)；70scc

m、

マイクロ波電流：250mA、

バイアス：100V、

エッチング雰囲気の圧力：0.7Pa、

基板温度：0℃、

に設定した。

【0061】その後、上記図2の(2)によって説明したのと同様にしてLDDとソース・ドレイン領域を形成し、さらに上記図3によって説明したのと同様にして層間絶縁膜と配線とを形成するための工程を行う。

【0062】次に、本発明のデュアルゲート構造に係わる第2実施形態の一例を、図5の概略構成断面図によって説明する。図5では、上記図1で説明したのと同様の構成部品には同一の符号を付す。

【0063】図5に示すデュアルゲート構造は、前記図1で説明したデュアルゲート構造において、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21Aに、N型、P型多結晶シリコン層21N、21Pよりも不純物濃度が高い状態に不純物の高濃度不純物領域21Dを形成したものである。この高濃度不純物領域21Dは、例えば不純物としてリン(P)を、 1×10^{18} 個/cm³～ 1×10^{21} 個/cm³程度含む領域である。一方、N型多結晶シリコン層21Nのヒ素の不純物濃度は、例えば 1×10^{18} 個/cm³～ 1×10^{21} 個/cm³程度であり、P型多結晶シリコン層21Pのホウ素の不純物濃度は、例えば 1×10^{18} 個/cm³～ 1×10^{21} 個/cm³程度である。

【0064】上記図5によって説明した第2実施形態のデュアルゲート構造では、上記第1実施形態で説明したのと同様の効果を奏するとともに、N型多結晶シリコン層21NとP型多結晶シリコン層21Pとの接合領域21Aに、各N型、P型多結晶シリコン層21N、21Pよりも不純物濃度が高い状態に不純物の高濃度不純物領域21Dが設けられていることから、N型、P型多結晶シリコン層21N、21P間でも不純物の相互拡散は起き難くなる。

【0065】次に本発明のデュアルゲート構造の製造方法に係わる第2実施形態の一例を、図6によって説明する。各図では、概略構成断面図で示し、さらに必要に応じて平面レイアウト図によって示す。また、上記図1～図5によって説明したのと同様の構成部品には同一の符号を付す。

【0066】図6の(1)に示すように、前記デュアルゲート構造の製造方法に係わる第1の実施形態によって説明したのと同様にして、例えばLOCOS法によって、半導体基板(例えばシリコン基板)11に第1のMOSトランジスタの形成領域12と第2のMOSトランジスタの形成領域13とを分離する素子分離領域14を形成する。さらに例えば熱酸化法によって、半導体基板11上にゲート絶縁膜(例えばゲート酸化膜)15を形

成する。

【0067】その後、例えばCVD法によって、上記処理を行った半導体基板11上に下地多結晶シリコン層23を50nmの厚さに形成する。続いてCVD法によって、上記下地多結晶シリコン層23上に非晶質シリコン層(24)を100nmの膜厚になるように形成した。上記下地多結晶シリコン層23および非晶質シリコン層(24)の成膜条件は、前記図2の(1)で説明したのと同様である。

【0068】その後、非晶質シリコン層(24)を結晶化するための熱処理を行う。上記熱処理条件は、一例として、

熱処理温度：650℃、

熱処理時間：10時間、

に設定した。そして結晶化処理を行った。その結果、上記非晶質シリコン層(24)は、0.5μm程度の粒径を有する大粒径多結晶シリコン層25になり、上記下地多結晶シリコン層23とともに多結晶シリコン層21を構成する。このように、熱処理による結晶化では、多結晶シリコンの粒径を、少なくとも0.3μm以上の大きさに結晶を成長させることが望ましい。

【0069】次いで自然酸化膜のエッチングを行う。上記エッチング条件は、一例として、

エッチングガス：サルファーヘキサフルオライド(SF₆)；70sccm、アルゴン(Ar)；70sccm、

エッチング雰囲気圧力：0.7Pa、

マイクロ波電流：250mA、

バイアス：100V、

基板温度：0℃、

に設定した。そして上記エッチングを行った。

【0070】次いでスパッタリングによって、タングステン(W)からなる金属層41と窒化チタン(TiN)からなる金属化合物層42とで形成する。まず、上記金属化合物層41および上記金属層42の成膜条件は、図4によって説明した成膜条件と同様である。その結果、例えば、金属化合物層41を20nmの膜厚のタングステン膜で形成し、金属層42を70nmの膜厚の窒化チタン膜で形成する。

【0071】その後は、通常のリソグラフィ技術によって、ゲート形成領域上にレジストパターン(図示省略)を形成し、そのレジストパターンをエッチングマスクに用いたドライエッチングによって、上記金属層42、金属化合物層41、大粒径多結晶シリコン層25および下地多結晶シリコン層23をパターンニングして、ゲート配線16を形成する。上記ドライエッチング条件は、前記図4の(1)によって説明したエッチング条件と同様である。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0072】次いで図6の(2)に示すように、既知の

リソグラフィ技術によって、第1ゲート電極(16N)となる多結晶シリコン層21と第2ゲート電極(16P)となる多結晶シリコン層21とが接合されることになる接合領域21A上に開口を有するレジストパターン(図示省略)を形成する。そしてそのレジストパターンをエッチングマスクに用いたエッチング技術によって、上記接合領域21A上の、2点鎖線で示す部分の金属層41と2点鎖線で示す部分の金属化合物層42とを除去する。このエッチング条件は、前記図4の(2)によって説明したエッチング条件と同様である。その後、このエッチングで用いたレジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0073】次いで上記接合領域21Aに高濃度に不純物をドーピングする方法として、例えばイオン注入法によって、例えばリンイオン(P⁺)を上記接合領域21Aに選択的にイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：10keV～100keVの範囲

の所定値、

ドーズ量：7×10¹⁵個/cm²～1×10¹⁷個/cm²の範囲の所定値、

に設定した。そして高濃度不純物領域21Dを形成した。

【0074】その後、上記図2の(2)によって説明したのと同様にして、LDDを形成し、さらにゲート配線16の側壁部にサイドウォール絶縁膜(図示省略)を形成する。

【0075】次いで図6の(3)に示すように、ソース・ドレイン領域を形成するためのイオン注入とゲート電極の導電化のためのイオン注入を同時に行う。先ず通常のリソグラフィ技術によって、第1のMOSトランジスタの形成領域12に形成されるソース・ドレイン領域上およびゲート配線16上に開口部を有するレジストパターン(図示省略)を形成する。このレジストパターンは、上記高濃度不純物領域21Dは覆う状態に形成される。続いてそのレジストパターンをマスクに用いたイオン注入法によって、N型の不純物として、例えばヒ素イオン(As⁺)をイオン注入する。このイオン注入条件は、一例として、

打ち込みエネルギー：30keV、

ドーズ量：5×10¹⁵個/cm²、

に設定した。そしてソース・ドレイン領域17(18)を形成するとともに、N型多結晶シリコン層21Nを形成した。このようにして、N型多結晶シリコン層21Nと金属層41と金属化合物層42とによってN型の第1ゲート電極16Nが形成される。なお、上記ソース・ドレイン領域(18)は図面手前側に形成されるため、図示は省略した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。

【0076】次いで通常のリソグラフィ技術によっ

て、第2のMOSトランジスタの形成領域13に形成されるソース・ドレイン領域上およびゲート配線16上に開口部を有するレジストパターン（図示省略）を形成する。このレジストパターンは、上記接合領域21Aは覆う状態に形成される。その後このレジストパターンをマスクに用いたイオン注入法によって、P型の不純物として、例えば二フッ化ホウ素イオン（ BF_2^+ ）をイオン注入する。このイオン注入条件は、一例として、打ち込みエネルギー：25keV、

ドーズ量： 3×10^{15} 個/ cm^2 、

に設定した。そしてソース・ドレイン領域19（20）を形成するとともに、P型多結晶シリコン層21Pを形成した。このようにして、P型多結晶シリコン層21Pと金属層41と金属化合物層42とによってP型の第2ゲート電極16Pが形成される。なお、上記ソース・ドレイン領域（20）は図面手前側に形成されるため、図示は省略した。その後、上記レジストパターンを、例えばアッシングおよび洗浄処理によって除去する。なお、上記N型不純物のイオン注入工程とP型不純物のイオン注入工程とは、どちらを先に行っても差し支えない。

【0077】その後、前記図3によって説明したのと同様にして層間絶縁膜の形成、活性化熱処理、配線を形成するための工程を行う。

【0078】上記図6によって説明したデュアルゲート構造の製造方法では、上記第1実施形態の製造方法で説明したのと同様の効果を奏するとともに、N型、P型多結晶シリコン層21N、21P間に高濃度不純物領域21Dを形成したので、N型、P型多結晶シリコン層21N、21P間での相互拡散が起き難くなる。

【0079】また従来の製造技術の延長で実施できるため、製造コストが抑制できる。さらに製造方法が単純なプロセスで構成されるので、生産上の歩留りの低下がない。

【0080】なお、上記各実施形態で説明した成膜方法は、CVD法、スパッタリング等に限定されることはなく、適宜CVD法、スパッタリング、蒸着法等を選択して採用することが可能である。また、シリサイドも、チタンシリサイド（ TiSi_2 ）に限定されることはなく、例えばコバルト（Co）、ニッケル（Ni）、タングステン（W）、白金（Pt）、ジルコニウム（Zr）、ハフニウム（Hf）等のシリサイドであってもよい。さらに、種々の数値条件は、上記記載した値に限定されることはなく、プロセスに適合した条件が適宜選択される。またさらに、本発明の適用例は、CMOSプロセスに限定されることはなく、デュアルゲートを有する半導体装置の全般に対して適用できる。

【0081】

【発明の効果】以上、説明したように本発明のデュアルゲート構造によれば、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域上では、第

1導電型の多結晶シリコン層上および第2導電型の多結晶シリコン層上に形成されている金属層、または金属層と金属化合物層とは分離された状態で形成されているので、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との相互の間で、金属層および金属化合物層を通じて不純物の拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域に各多結晶シリコン層よりも不純物濃度が高い高濃度不純物領域を設けたデュアルゲート構造によれば、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との間でも不純物の相互拡散は起き難くなる。したがって、本発明のデュアルゲート構造を用いたトランジスタは表面チャネル型のトランジスタとして構成することが可能になるので、電流駆動能力特性が高いトランジスタになる。

【0082】本発明のデュアルゲート構造の製造方法によれば、第1、第2導電型の多結晶シリコン層上に、金属層、または金属層と金属化合物層とを形成した後、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層とが接続される領域上の、金属層、または金属層と金属化合物層とを除去するので、金属層、または金属層と金属化合物層とを通じて多結晶シリコン層にドーピングされている不純物の相互拡散は起きない。また、第1導電型の多結晶シリコン層と第2導電型の多結晶シリコン層との接合領域に、各多結晶シリコン層よりも不純物濃度が高い高濃度不純物領域を形成する製造方法では、第1、第2導電型の多結晶シリコン層間に高濃度不純物領域が形成されるので、第1、第2導電型の多結晶シリコン層間での相互拡散を起ささない。したがって、本発明の製造方法を用いれば、大きな電流駆動能力を有する表面チャネル型のトランジスタを形成することができる。

【図面の簡単な説明】

【図1】本発明のデュアルゲート構造に係わる第1実施形態の説明図である。

【図2】本発明の製造方法に係わる第1実施形態の製造工程図である。

【図3】第1実施形態の製造工程図（続き）である。

【図4】第1実施形態の製造方法に係わる別の製造工程図である。

【図5】本発明のデュアルゲート構造に係わる第2実施形態の説明図である。

【図6】本発明の製造方法に係わる第2実施形態の製造工程図である。

【図7】従来のMOSLSIプロセス例を示す製造工程図である。

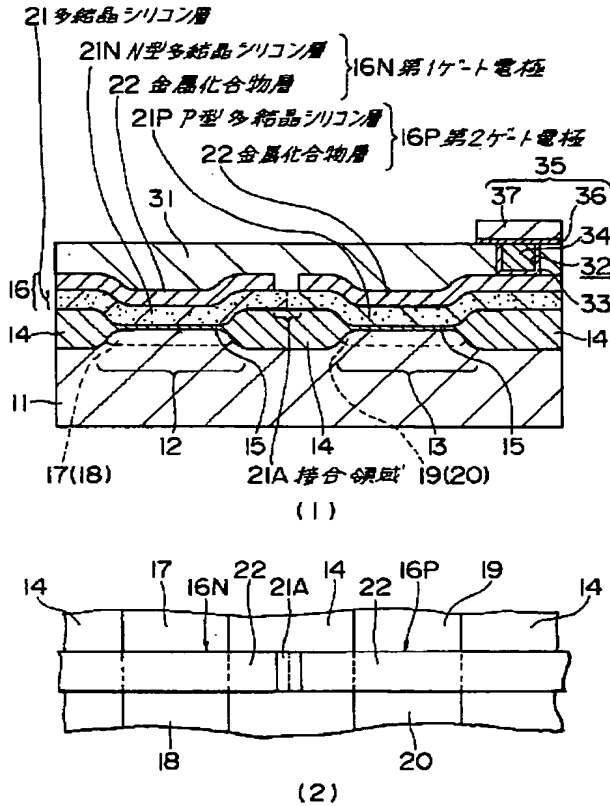
【符号の説明】

16N 第1ゲート電極
16P 第2ゲート電極
21A 接合領域

21D 高濃度不純物領域
 21N N型多結晶シリコン層
 21P P型多結晶シリコン層

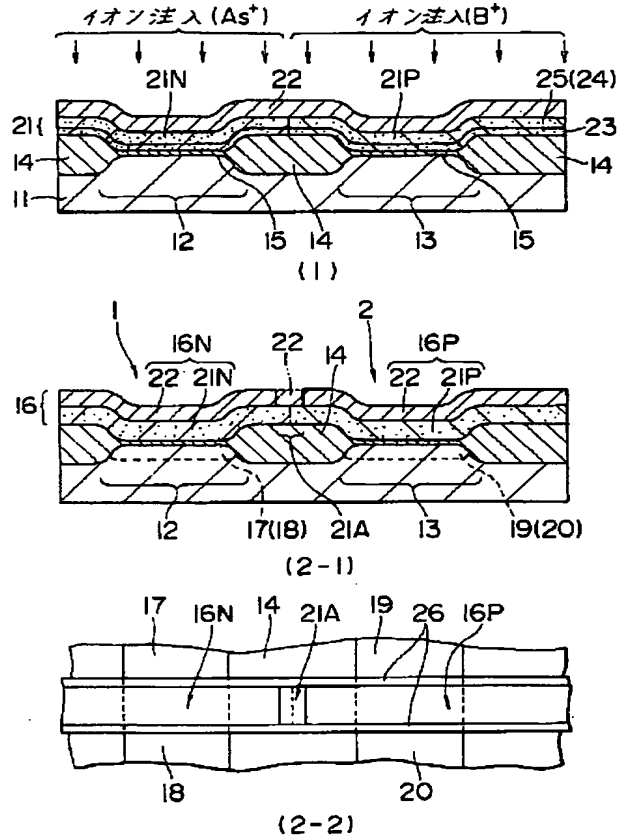
22 金属化合物層
 41 金属層
 42 金属化合物層

【図1】



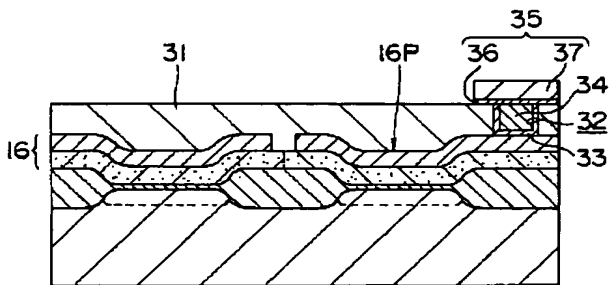
本発明のデュアルゲート構造に係る第1実施形態の説明図

【図2】



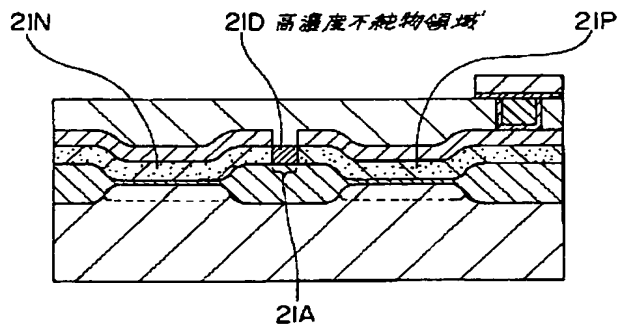
本発明の製造方法に係る第1実施形態の製造工程図

【図3】



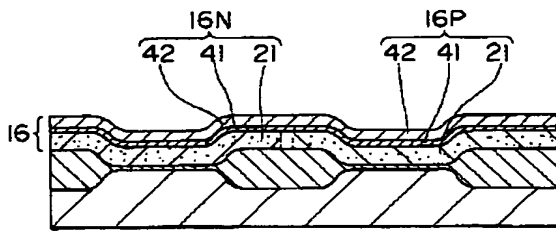
第1実施形態の製造工程図 (続き)

【図5】

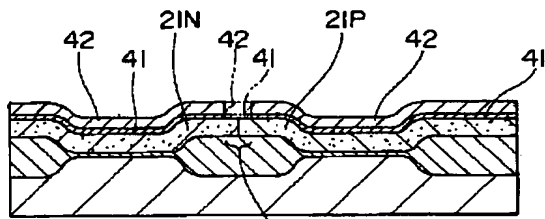


本発明のデュアルゲート構造に係る第2実施形態の説明図

【図 4】



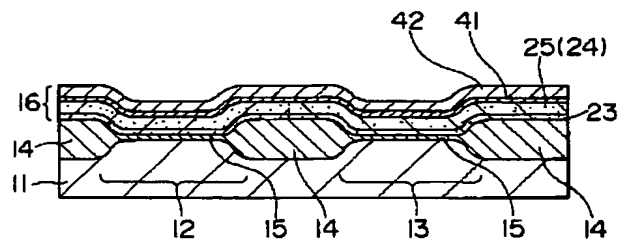
(1)



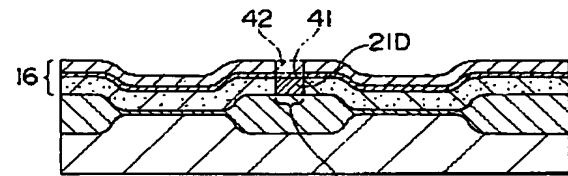
(2)

第1実施形態の製造方法に係る別の製造工程図

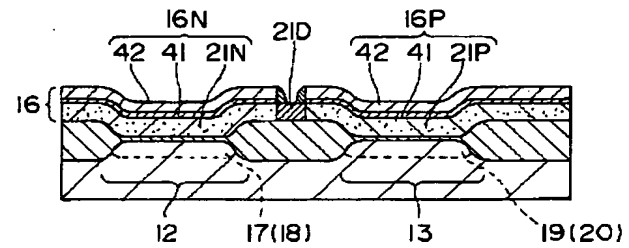
【図 6】



(1)



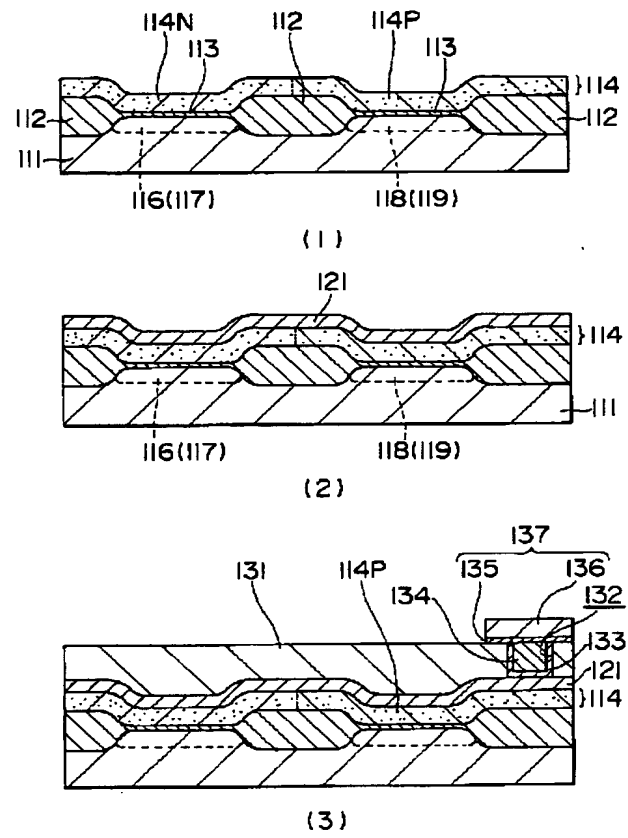
(2)



(3)

本発明の製造方法に係る第2実施形態の製造工程図

【図7】



従来のMOSLSIプロセス例を示す製造工程図